

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2005-026358

(43)Date of publication of application : 27.01.2005

(51)Int.Cl.

H01L 21/31  
G02F 1/1345  
G02F 1/1368  
H01L 21/318  
H01L 21/336  
H01L 29/786  
H05B 33/10  
H05B 33/14

(21)Application number : 2003-188465

(71)Applicant : SEMICONDUCTOR ENERGY LAB  
CO LTD

(22)Date of filing : 30.06.2003

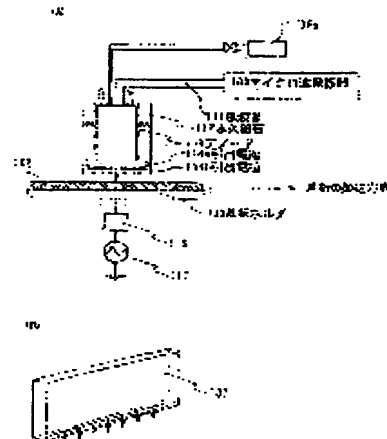
(72)Inventor : YAMAZAKI SHUNPEI  
YAMAGUCHI TETSUJI  
FURUNO MAKOTO  
JINBO YASUHIRO  
TANAKA TETSUHIRO

## (54) NITRIDING EQUIPMENT, SEMICONDUCTOR DEVICE, AND ITS FORMATION METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To thin the gate insulating film of a TFT in order to form the TFT to submicron order of at most 1  $\mu\text{m}$  and to drive a circuit containing the TFT at more high speed with high precision.

SOLUTION: In the forming method of the TFT, after forming the gate insulating film whose film thickness is comparatively thin, irradiation of microwave is performed to introduced nitrogen gas, nitrogen plasma is generated under ambient pressure of inert atmosphere, and a surface of the gate insulating film is nitrided. Nitriding plasma treatment is performed all over a substrate by passing the substrate in the lower part of a plasma generating means 107.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

JP 2005-26358 A 2005.1.27

(11) 特許出願公開番号

特開2005-26358

(P 2005-26358 A)

(43) 公開日 平成17年1月27日 (2005.1.27)

(51) Int. Cl. <sup>7</sup>

F I

テーマコード(参考)

H 0 1 L 21/31  
G 0 2 F 1/1345  
G 0 2 F 1/1368  
H 0 1 L 21/318  
H 0 1 L 21/336

H 0 1 L 21/31  
G 0 2 F 1/1345  
G 0 2 F 1/1368  
H 0 1 L 21/318  
H 0 5 B 33/10

A

C

2 H 0 9 2  
3 K 0 0 7  
5 F 0 4 5  
5 F 0 5 8  
5 F 1 1 0

審査請求 未請求 請求項の数10 O L (全20頁) 最終頁に続く

(21) 出願番号 特願2003-188465 (P2003-188465)

(22) 出願日 平成15年6月30日 (2003. 6. 30)

(71) 出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社  
半導体エネルギー研究所内

(72) 発明者 山口 哲司

神奈川県厚木市長谷398番地 株式会社  
半導体エネルギー研究所内

(72) 発明者 古野 誠

神奈川県厚木市長谷398番地 株式会社  
半導体エネルギー研究所内

(72) 発明者 神保 安弘

神奈川県厚木市長谷398番地 株式会社  
半導体エネルギー研究所内

最終頁に続く

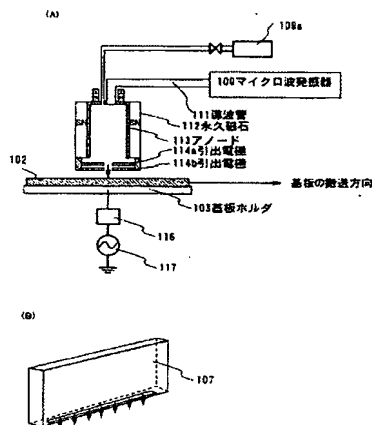
(54) 【発明の名称】 窒化装置と、半導体装置およびその作製方法

(57) 【要約】

【課題】 本発明は、1  $\mu$ m以下のサブミクロン長に高い精度でTFTを作製し、且つ、TFTを含む回路をさらに高速駆動させるため、TFTのゲート絶縁膜を薄膜化することを課題とする。加えて、本発明は、ゲート絶縁膜の薄膜化を実現するための処理装置をも提供する。

【解決手段】 本発明は、TFTの作製方法において、比較的膜厚の薄いゲート絶縁膜を形成した後、導入した窒素ガスにマイクロ波を照射して不活性雰囲気の大気圧下で窒素プラズマを生成し、ゲート絶縁膜の表面を窒化させる。プラズマ発生手段107の下方で基板を通過させることによって基板全面に窒化プラズマ処理を行う。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

マイクロ波によってプラズマを生成し、生成したプラズマによって被処理基板を窒化処理する窒化装置であって、  
チャンバーと、被処理基板を保持する手段と、線状のプラズマ発生手段と、分子中に窒素を含んだガスを導入する手段と、を有し、  
大気圧または大気圧近傍の圧力で、前記線状のプラズマ発生手段と、前記被処理基板を保持する手段のどちらか一方または双方を移動することにより窒化処理する窒化装置。

## 【請求項 2】

請求項 1 において、前記線状のプラズマ発生手段は、線状の開口を有するノズル部から前記被処理基板に対して窒素プラズマが照射されることを特徴とする窒化装置。 10

## 【請求項 3】

請求項 1 において、前記線状のプラズマ発生手段は、複数のプラズマ発生手段が線状に配列されていることを特徴とする窒化装置。

## 【請求項 4】

請求項 1 乃至 3 のいずれか一において、前記マイクロ波は、周波数が 500 kHz ~ 5 GHz の範囲であることを特徴とする窒化装置。

## 【請求項 5】

絶縁表面を有する基板上に結晶構造を有する半導体層を形成する工程と、  
前記半導体層を覆う絶縁膜を形成する工程と、  
前記絶縁膜上にゲート電極を形成する工程と、  
前記半導体層の一部に n 型または p 型を付与する不純物元素を添加してソース領域またはドレイン領域を形成する工程と、を含む半導体装置の作製方法であって、  
前記絶縁膜を形成した後、大気圧または大気圧近傍の圧力において、マイクロ波によって窒素プラズマを発生させ、線状のプラズマ発生手段と、被処理基板を保持する手段のどちらか一方または双方を移動させることにより前記絶縁膜表面を窒化処理することを特徴とする半導体装置の作製方法。 20

## 【請求項 6】

請求項 5 において、前記結晶構造を有する半導体層を形成する工程は、  
非晶質構造を有する第 1 の半導体膜に金属元素を添加する第 1 工程と、  
前記第 1 の半導体膜を結晶化させて結晶構造を有する第 1 の半導体膜を形成する第 2 工程と、  
前記結晶構造を有する第 1 の半導体膜の表面にバリア層を形成する第 3 の工程と、  
前記バリア層上に希ガス元素を含む第 2 の半導体膜を形成する第 4 工程と、  
前記第 2 の半導体膜に前記金属元素をゲッタリングして結晶構造を有する第 1 の半導体膜中の前記金属元素を選択的に除去または低減する第 5 工程と、  
前記第 2 の半導体膜を除去する第 6 工程とを有することを特徴とする半導体装置の作製方法。 30

## 【請求項 7】

請求項 6 において、前記結晶構造を有する第 1 の半導体膜を形成する第 2 工程は、連続発振型の固体レーザーから出射された 400 nm ~ 800 nm の波長域を有するレーザー光を前記半導体膜に照射する工程であることを特徴とする半導体装置の作製方法。 40

## 【請求項 8】

請求項 5 乃至 7 のいずれか一において、前記絶縁膜に含まれる窒素濃度は、5 at m % 乃至 20 at m % であることを特徴とする半導体装置の作製方法。

## 【請求項 9】

絶縁表面を有する基板上に形成された薄膜トランジスタを有する半導体装置において、半導体膜からなる活性層と、ゲート絶縁膜と、ゲート電極とを有し、  
前記ゲート絶縁膜は、50 nm 以下、好ましくは 1 ~ 20 nm であり、且つ、前記ゲート絶縁膜における窒素濃度は、表面から離れるにつれて減少していることを特徴とする半導 50

体装置。

【請求項 10】

請求項 9 に記載された半導体装置とは、ビデオカメラ、デジタルカメラ、プロジェクター、ゴーグル型ディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯型情報端末、または電子遊技機器であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置や有機発光素子を有する発光表示装置を部品として搭載した電子機器に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【0003】

また、本発明は、マイクロ波を用いて生成したプラズマによって試料表面に窒化処理を行う装置に関する。

【0004】

【従来の技術】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百nm程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタはICや電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

【0005】

特に、マトリクス状に配置された表示画素毎にTFTからなるスイッチング素子を設けたアクティブマトリクス型の液晶表示装置が開発されている。

【0006】

アクティブマトリクス型の液晶表示装置においては、画素部において有効画面領域を広げる開発が進められている。有効画面領域の面積を大きくするには画素部に配置されるTFTの占める面積をできるだけ小さくする必要に迫られている。また、製造コストの低減を図るために駆動回路を画素部と同一基板上に作り込む開発も進められている。同一基板上に駆動回路と画素部を形成した場合、駆動回路をTAB方式で実装したものと比べて、額縁部と呼ばれる画素領域以外の領域が占める面積が大きくなる傾向がある。額縁部の面積を小さくするために、駆動回路を構成する回路規模を小さくする必要にも迫られている。

【0007】

また、ゲート絶縁膜が薄いTFT構造として、本出願人は、特許文献に示す構造を提案している。

【特許文献】

特開平7-95751号公報

【0008】

【発明が解決しようとする課題】

特に、有機発光素子（OLED：Organic Light Emitting Device）においては、1つの画素に役割の異なる複数のTFTが必要とされている。また、液晶表示装置においても、1つの画素にスイッチング用のTFTとSRAMなどの記憶素子とを形成する試みがなされている。また、同一基板上に画素部と駆動回路とを形成する場合においても、できるだけ小型化することが望まれている。このように、ある限られた面積内に複数の素子を形成しようとする場合、平面に並べて素子を配置する設計、あるいは素子を積み上げる設計が考えられる。現状の設計ルールで平面に並べて素子を配置する場合には、占める所要面積が限られているため限界がある。

【0009】

本発明は、液晶表示装置に代表される電気光学装置、有機発光素子を有する発光装置、ならびに半導体装置において、今後のさらなる高精細化（画素数の増大）及び小型化に伴う各表示画素ピッチの微細化を進められるように、複数の素子を限られた面積に形成し、素子が占める面積を縮小して集積することを課題とする。

#### 【0010】

また、本発明は、 $1\mu\text{m}$ 以下のサブミクロン長に高い精度でTF Tを作製し、且つ、TF Tを含む回路をさらに高速駆動させるため、TF Tのゲート絶縁膜を薄膜化することも課題とする。加えて、本発明は、ゲート絶縁膜の薄膜化を実現するための処理装置をも提供する。

#### 【0011】

10

##### 【課題を解決するための手段】

本発明は、TF Tの作製方法において、比較的膜厚の薄いゲート絶縁膜を形成した後、導入した窒素ガスにマイクロ波を照射して不活性雰囲気の大気圧下で窒素プラズマを生成し、ゲート絶縁膜の表面を窒化させることを特徴としている。

#### 【0012】

ゲート絶縁膜の表面を窒化させることでBの拡散を抑制し、ゲートリーク電流を抑え、実効的なキャリア移動度の劣化を最小限にとどめることができる。

#### 【0013】

プラズマ処理される領域は、細長い線状となるように複数のプラズマ発生手段を配列させてもよいし、線状の開口を有するノズルから前記被処理基板に対して窒素プラズマが照射されるようにしてもよい。

20

#### 【0014】

また、ゲート絶縁膜としては、PCVD法による酸化珪素膜または酸化窒化珪素膜を用い、膜厚を $1\text{nm}\sim 50\text{nm}$ 、好ましくは $10\text{nm}\sim 30\text{nm}$ として比較的薄いものとする。PCVD法による酸化珪素膜は、成膜温度が $350^{\circ}\text{C}\sim 410^{\circ}\text{C}$ 程度の比較的低温で成膜が行われるため、他の成膜方法に比べて柔らかい膜質が得られる。この酸化珪素膜に窒化処理を行うと、表面近傍において、窒素ラジカルが不對結合手を有するシリコンと反応してSi-N結合を形成する。

#### 【0015】

ゲート絶縁膜の薄膜化を行うことによってTF Tの電気特性の向上、代表的には立ち上がり特性の向上、電気特性ばらつきの低減、さらには短チャネル効果の改善などを実現することができる。また、ゲート絶縁膜の薄膜化を行うことによってTF Tを含む回路をさらに高速駆動させることができる。

30

#### 【0016】

また、本発明は、素子サイズの小型化を図るため、ゲート電極のサイズも縮小する。

#### 【0017】

レジストをマスクとして金属膜を選択的にエッチングして配線を形成する際、エッチング処理によって金属膜だけでなくレジストも後退させながら行い、仕上がり寸法をレジスト寸法よりも細くする。レジストマスク寸法Lは $0.7\mu\text{m}$ 以上とすることが好ましく、例えば、レジストマスク寸法 $L=0.7\mu\text{m}$ とした場合には、 $0.3\mu\text{m}$ の線幅を有する配線を形成することができる。また、レジストマスク寸法Lが $0.6\mu\text{m}$ 未満であると、配線を形成することができない。また、レジストマスク寸法 $L=0.6\mu\text{m}$ とした場合には、配線が形成できるものの、断面形状が三角形となるためTF Tのゲート線などに用いるのは困難である。

40

#### 【0018】

TF Tを含む回路を高速駆動させるためには、結晶構造を有する半導体膜、代表的にはポリシリコン膜を活性層とするTF Tとすることが好ましい。また、本発明は非晶質構造を有する半導体膜、代表的にはアモルファスシリコンを活性層とするTF Tの特性向上にも適用することができる。

#### 【0019】

50

本明細書で開示する発明の構成は、図 1 に一例を示すように、

マイクロ波によってプラズマを生成し、生成したプラズマによって被処理基板を窒化処理する窒化装置であって、

チャンバーと、被処理基板を保持する手段と、線状のプラズマ発生手段と、分子中に窒素を含んだガスを導入する手段と、を有し、

大気圧または大気圧近傍の圧力で、前記線状のプラズマ発生手段と、前記被処理基板を保持する手段のどちらか一方または双方を移動することにより窒化処理する窒化装置である。

#### 【 0 0 2 0 】

また、上記構成において、前記線状のプラズマ発生手段は、線状の開口を有するノズル部 10 から前記被処理基板に対して窒素プラズマが照射される、或いは、複数のプラズマ発生手段が線状に配列されていることを特徴としている。

#### 【 0 0 2 1 】

また、上記各構成において、前記マイクロ波は、周波数が 5 0 0 k H z ～ 5 G H z の範囲であることを特徴としている。

#### 【 0 0 2 2 】

また、半導体装置の作製方法も本発明の一つであり、その発明の構成は、

絶縁表面を有する基板上に結晶構造を有する半導体層を形成する工程と、

前記半導体層を覆う絶縁膜を形成する工程と、

前記絶縁膜上にゲート電極を形成する工程と、

前記半導体層の一部に n 型または p 型を付与する不純物元素を添加してソース領域またはドレイン領域を形成する工程と、を含む半導体装置の作製方法であって、

前記絶縁膜を形成した後、大気圧または大気圧近傍の圧力において、マイクロ波によって窒素プラズマを発生させ、線状のプラズマ発生手段と、被処理基板を保持する手段のどちらか一方または双方を移動させることにより前記絶縁膜表面を窒化処理することを特徴とする半導体装置の作製方法である。

#### 【 0 0 2 3 】

また、上記作製方法において、前記結晶構造を有する半導体層を形成する工程は、

非晶質構造を有する第 1 の半導体膜に金属元素を添加する第 1 工程と、

前記第 1 の半導体膜を結晶化させて結晶構造を有する第 1 の半導体膜を形成する第 2 工程 30 と、

前記結晶構造を有する第 1 の半導体膜の表面にバリア層を形成する第 3 の工程と、

前記バリア層上に希ガス元素を含む第 2 の半導体膜を形成する第 4 工程と、

前記第 2 の半導体膜に前記金属元素をゲッタリングして結晶構造を有する第 1 の半導体膜中の前記金属元素を選択的に除去または低減する第 5 工程と、

前記第 2 の半導体膜を除去する第 6 工程とを有することを特徴としている。

#### 【 0 0 2 4 】

また、上記作製方法において、前記結晶構造を有する第 1 の半導体膜を形成する第 2 工程は、連続発振型の固体レーザから出射された 4 0 0 n m ～ 8 0 0 n m の波長域を有するレーザー光を前記半導体膜に照射する工程であることを特徴としている。

#### 【 0 0 2 5 】

また、上記作製方法において、前記絶縁膜に含まれる窒素濃度は、5 a t m % 乃至 2 0 a t m % であることを特徴としている。

#### 【 0 0 2 6 】

また、他の発明の構成は、

絶縁表面を有する基板上に形成された薄膜トランジスタを有する半導体装置において、

半導体膜からなる活性層と、ゲート絶縁膜と、ゲート電極とを有し、

前記ゲート絶縁膜は、5 0 n m 以下、好ましくは 1 ～ 2 0 n m であり、且つ、前記ゲート絶縁膜における窒素濃度は、表面から離れるにつれて減少していることを特徴とする半導体装置である。

## 【 0 0 2 7 】

ここで、シリコン基板に30nmの酸化珪素膜を形成した後、表面に窒化プラズマ処理を行ったサンプルと、比較のためシリコン基板に30nmの酸化珪素膜を形成したサンプルとを用意し、二次イオン質量分析法(SIMS)にて窒素濃度、炭素濃度、水素濃度、酸素濃度を測定した結果を図8、図9にそれぞれ示す。なお、図8、図9において、横軸は深さ(nm)、縦軸は濃度(atoms/cm<sup>3</sup>)である。

## 【 0 0 2 8 】

図8に示すように、窒化プラズマ処理を行ったサンプルは、表面から10nm程度スロープをもって窒化されていることがわかる。スロープをもって窒化される深さは行われる窒化プラズマ処理の条件によって適宜設定すればよい。このサンプルにおける窒化プラズマ処理の条件は、窒素ガスを流量20sccmでチャンバーに供給しながら、チャンバー圧力を0.18Paとし、マイクロ波源の電力を500Wとし、処理時間を5分間としている。

10

## 【 0 0 2 9 】

また、窒化プラズマ処理を行った装置の断面図を図10に示す。図10において、1000はシリコン基板、1001は基板ホルダ、1003はマイクロ波を通過させる窓、1004a、1004bはリング状のマグネット、1002はチャンバーを指している。また、リング状のマグネット1004bから基板までの距離は約115mm、基板1003から窓までの距離は約265mmである。

## 【 0 0 3 0 】

20

## 【 発 明 の 実 施 の 形 態 】

本発明の実施形態について、以下に説明する。

## 【 0 0 3 1 】

## ( 実 施 の 形 態 1 )

ここでは図1、図2を用いて大気圧下の窒化処理を行うプラズマ処理装置を以下に説明する。

## 【 0 0 3 2 】

反応ガスに外部からエネルギーを与えて生じるプラズマは、LSIまたはLCDなどの製造プロセスにおいて広く用いられている。一般にプラズマを生成する励起手段としては、2.45GHzのマイクロ波を用いる場合と、13.56MHzのRFを用いる場合とがあるが、ここでは高密度のプラズマが得られるマイクロ波を用いる。

30

## 【 0 0 3 3 】

図1(A)はプラズマ発生手段(ノズル部)107の断面構造図、図1(B)はプラズマ発生手段の斜視図を示しており、図2は装置全体の斜視図を示している。なお、図1と図2とで共通の部分には同じ符号を用いる。

## 【 0 0 3 4 】

図1(A)において、マイクロ波発振器(マイクロ波電源ともよぶ)100にはマイクロ波導波管111が接続されており、マイクロ波発振器100からマイクロ波が導入される。また、ガス導入管から導入されるガスにマイクロ波が照射されると、プラズマが生成されるようになっている。そして、生成されたプラズマは引出電極114a、114bによって電子ビームとして基板表面に引き出されるようになっている。

40

## 【 0 0 3 5 】

また、プラズマは拡散されるので基板表面に輸送された時には均一なプラズマ分布となる。

## 【 0 0 3 6 】

また、同時に基板ホルダ103にRF電源117とマッチングボックス116を用いて、数百から数KwのRFパワーを印加すれば、基板表面とプラズマ間にプラズマシースが形成され、バイアス電圧を発生させることもできる。

## 【 0 0 3 7 】

図1(A)において、112は永久磁石、113はアノードである。永久磁石112に代

50



えて磁場コイルを設けてもよい。また、基板102を固定するための基板ホルダ103が設けてあり、基板ホルダ103にはマッチングボックス116を介して高周波電源117が接続されている。なお、基板ホルダ103には、冷却水を循環させるための冷却系（図示せず）が接続されていてもよい。冷却系を設けると、冷却水の循環により連続的に表面処理を行う場合の加熱を防止して、連続処理による効率の向上が可能となる。

#### 【0038】

また、ここでは図示しないが、チャンバーの底部壁には排気口が設けてあり、排気口から処理室の内気を排出するようにしてある。

#### 【0039】

また、図2に示す本プラズマ処理装置においては、基板102として所望のサイズのガラス基板の他、プラスチック基板に代表される樹脂基板、あるいはシリコンに代表される半導体ウエハ等の基板に適用することもできる。基板102の搬送方式としては水平搬送が挙げられるが、第5世代（例えば1000×1200mmあるいは1100×1250mm）、第6世代（例えば1500×1800mm）といった大型基板を搬送する場合には、搬送機の占有面積の低減を目的として、基板を縦置きにした縦形搬送を行ってもよい。

#### 【0040】

図2において基板102は、搬入口104から前記プラズマ処理装置の筐体101内部へ搬入し、プラズマ表面処理を終えた基板を搬出口105から搬出する。筐体101内部において、基板102は搬送台103に搭載され、搬送台103は搬入口104と搬出口105とを連絡するレール110a、110b上を移動する。

#### 【0041】

前記プラズマ処理装置の筐体101内部には、マイクロ波によるプラズマを発生させるプラズマ発生手段107、基板との間隔を調節するためにプラズマ発生手段107を上下移動させる可動支持機構106等が設けられる。また、必要に応じて、エアカーテン等の公知の気流制御手段や、ランプなどの公知の加熱手段（図示せず）が設けられる。

#### 【0042】

プラズマ発生手段107は、前記プラズマ発生手段107を支持する可動支持機構106が、基板面に対して垂直に上下移動することにより、所定の間隔（基板とプラズマ発生手段との間隔）を決定する。また前記搬送台103が、レール110a、110b上を移動することにより基板102を搬送する。実際にプラズマ処理を行う際には、プラズマ発生手段107および基板102を相対的に移動させればよく、一方が停止していてもよい。また実際に行うプラズマ処理は、プラズマを連続発生させながらプラズマ発生手段107を固定し、基板102を移動させることで、基板102の全面をプラズマ表面処理してもよいし、基板102の任意の箇所でのみプラズマを発生させプラズマ表面処理を行ってもよい。例えば、同一基板上に画素部と駆動回路部とをつくり込む場合、駆動回路部のみプラズマ窒化処理を行って駆動回路部の高速駆動を実現してもよい。

#### 【0043】

プラズマ発生手段107は、平行に置かれた下端部において線状のガスの細口を有する。従って、プラズマ発生手段107が行われる領域は線状形状であり、プラズマ発生手段107の下方で基板を通過させることによって基板全面にプラズマ処理を行う。このプラズマ発生手段107の内部空間には、バルブや配管を介してガス供給手段（ガスボンベ）109a、109bよりプロセスガスが供給される。前記両電極間の空間の雰囲気は、前記プロセスガスにマイクロ波が印加されると、前記空間内にプラズマが発生する。

#### 【0044】

そして、このプラズマにより生成されるイオン、ラジカルなどの化学的に活性な励起種を含む反応性ガス流を基板102の表面に向けて照射すると、該基板102の表面において所定のプラズマ表面処理を行うことができる。このとき、該基板102表面とプラズマ発生手段107の距離は0.5mm以下がよい。特に距離を測定するためのセンサを取り付け、前記被処理基板102表面とプラズマ発生手段107の距離を制御してもよい。

#### 【0045】

なお、ガス供給手段（ガスボンベ）109a、109bに充填されるプロセス用ガスは、処理室内で行う表面処理の種類に合わせて適宜設定する。ここでは、大量生産に好適である安価に入手できる窒素ガスを用いて窒化処理を行う。また、排気ガスは、配管やガス中に混入したゴミを除去するフィルタ（図示せず）、バルブ等を介して排気系に回収される。さらにこれら回収した排気ガスを精製し、循環させることによりガスを再利用すれば、ガスの有効利用も可能になる。

#### 【0046】

大気圧または大気圧近傍（5 Torr～800 Torrの圧力範囲をいう）の圧力で動作するプラズマ処理装置を用いる本発明は、減圧に要する真空引きや大気開放の時間を短縮し、複雑な排気系を配置する必要がない。特に大型基板を用いる場合には、必然的にチャンパーも大型化し、チャンパー内を減圧すると処理時間も長くなってしまうため、大気圧または大気圧近傍の圧力で動作させる本装置は有効であり、製造コストの低減が可能となる。

10

#### 【0047】

以上のことから、上記の大気圧プラズマ処理装置を用いて、窒素プラズマによる窒化処理を行うと、排気系が不必要であることから、従来の排気系を有する装置を用いる場合に比べ、縮小した設置面積で製造を行うことができる。排気手続きを省略することができるので、従来よりも短時間での処理が可能となる。また、電力、水、ガスなどのユーティリティや薬液の使用量が抑制され、製造コストが低減できる。

#### 【0048】

（実施の形態2）

本発明を用い、CMOS回路やNMOS回路を構成するnチャネル型TFTおよびpチャネル型TFTの作製方法の一例を図3に示す。

20

#### 【0049】

まず、基板上に下地絶縁膜を形成する。基板としては、ガラス基板や石英基板やシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものを用いても良い。また、処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

#### 【0050】

また、下地絶縁膜としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜を形成する。ここでは下地膜として2層構造を用いた例を示すが、前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。なお、特に下地絶縁膜を形成しなくてもよい。

30

#### 【0051】

次いで、下地絶縁膜上に半導体層を形成する。半導体層は、非晶質構造を有する半導体膜を公知の手段（スパッタ法、LPCVD法、またはプラズマCVD法等）により成膜した後、公知の結晶化処理（レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等）を行って得られた結晶質半導体膜を第1のフォトリソマスクを用いて所望の形状にパターニングして形成する。この半導体層の厚さは25～80nm（好ましくは30～70nm）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（SiGe）合金などで形成すると良い。

40

#### 【0052】

また、非晶質構造を有する半導体膜の結晶化処理として連続発振のレーザーを用いてもよく、非晶質半導体膜の結晶化に際し、大粒径に結晶を得るためには、連続発振が可能な固体レーザを用い、基本波の第2高調波～第4高調波を適用するのが好ましい。代表的には、Nd:YVO<sub>4</sub>レーザー（基本波1064nm）の第2高調波（532nm）や第3高調波（355nm）を適用すればよい。連続発振のレーザーを用いる場合には、出力10Wの連続発振のYVO<sub>4</sub>レーザから射出されたレーザ光を非線形光学素子により高調波に変換する。また、共振器の中にYVO<sub>4</sub>結晶と非線形光学素子を入れて、高調波を射出する方法もある。そして、好ましくは光学系により照射面にて矩形状または楕円形状のレーザ光に成形して、被処理体に照射する。このときのエネルギー密度は0.01～100M

50

$W/cm^2$  程度 (好ましくは  $0.1 \sim 10 MW/cm^2$ ) が必要である。そして、 $10 \sim 2000 cm/s$  程度の速度でレーザ光に対して相対的に半導体膜を移動させて照射すればよい。

#### 【0053】

次いで、レジストマスクを除去した後、半導体層を覆う絶縁膜 20 を形成する。絶縁膜 20 はプラズマ CVD 法またはスパッタ法を用い、厚さを  $1 \sim 100 nm$ 、好ましくは  $10 nm \sim 50 nm$  と薄くしてシリコンを含む絶縁膜の単層または積層構造で形成した後にマイクロ波によるプラズマを用いた表面窒化処理を行う。(図 3 (A))

#### 【0054】

このように膜厚の薄い絶縁膜をプラズマ CVD 法を用いる場合、成膜レートを遅くして薄い膜厚を制御性よく得る必要がある。例えば、RF パワーを  $100 W$ 、 $10 kHz$ 、圧力  $0.3 Torr$ 、 $N_2O$  ガス流量  $400 sccm$ 、 $SiH_4$  ガス流量  $1 sccm$ 、とすれば酸化珪素膜の成膜速度を  $6 nm/min$  とすることができる。また、マイクロ波によるプラズマを用いた窒化処理は、上記実施の形態 1 に示した装置を用い、マイクロ波源 ( $2.45 GHz$ )、および反応ガスである窒素ガスを用いて大気圧下で行う。リーク電流と B 突き抜けの抑制を実現するためには膜中の窒素濃度を  $5 \sim 20 atm\%$  にすることが好ましい。

#### 【0055】

また、図 1 (A) に示す基板ホルダ 103 に接続した高周波インピーダンスを制御して窒素濃度分布の深さを制御することが好ましい。絶縁膜 20 表面から離れるにつれて窒素濃度は減少する。これにより酸化珪素膜表面を高濃度に窒化できるだけでなく、酸化珪素膜と活性層の界面の窒素を低減し、デバイス特性の劣化を防ぐ。なお、窒化処理された表面を有する絶縁膜 20 は TFT のゲート絶縁膜となる。

#### 【0056】

次いで、絶縁膜 20 上に膜厚  $100 \sim 600 nm$  の導電膜を形成する。ここでは、スパッタ法を用い、W 膜からなる導電膜を形成する。なお、導電膜を W としたが、特に限定されず、Ta、W、Ti、Mo、Al、Cu から選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料の単層、またはこれらの積層で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。

#### 【0057】

次いで、第 2 のフォトリソマスクを用いてレジストマスクを形成し、ドライエッチング法またはウェットエッチング法を用いてエッチングを行う。このエッチング工程によって、導電膜をエッチングして、図 3 (B) に示すように、導電層 14、24、44、50 を得る。導電層 14、24、44、50 の幅としては、 $0.8 \mu m \sim 1 \mu m$  として微細化を図っている。なお、導電層 14、24、44、50 は TFT のゲート電極となる。

#### 【0058】

次いで、レジストマスクを除去した後、第 3 のフォトリソマスクを用いてレジストマスク 36 を新たに形成し、半導体に n 型を付与する不純物元素 (代表的にはリン、または As) を低濃度にドーピングするための第 1 のドーピング工程を行う。レジストマスク 36 は、p チャネル型 TFT となる領域と、導電層 44 の近傍とを覆う。この第 1 のドーピング工程によって絶縁膜 20 を介してスルードープを行い、低濃度不純物領域 25、26a、26b、27a、27b を形成する。(図 3 (B))

#### 【0059】

次いで、レジストマスクを除去した後、第 4 のフォトリソマスクを用いてレジストマスク 37 を新たに形成し、半導体に p 型を付与する不純物元素 (代表的にはボロン) を高濃度にドーピングするための第 2 のドーピング工程を行う。この第 2 のドーピング工程によって絶縁膜 20 を介してスルードープを行い、高濃度不純物領域 11、12 を形成する。(図 3 (C))

#### 【0060】

次いで、レジストマスクを除去した後、酸化珪素膜からなる絶縁膜を形成する。次いで、エッチングを行ってゲート電極の両側壁を覆うサイドウォール28を形成する。サイドウォール28は両側壁を覆うが、その一方の幅は $0.17\mu\text{m} \sim 0.2\mu\text{m}$ とする。

#### 【0061】

次いで、第5のフォトマスクを用いてレジストマスク35を新たに形成し、半導体にn型を付与する不純物元素（代表的にはリン、またはAs）を高濃度にドーピングするための第3のドーピング工程を行う。第3のドーピング工程におけるイオンドープ法の条件はドーピング量を $1 \times 10^{13} \sim 5 \times 10^{15} / \text{cm}^2$ とし、加速電圧を $60 \sim 100 \text{keV}$ として行う。レジストマスク35は、pチャネル型TFETとなる領域と、導電層24の近傍とを覆う。この第3のドーピング工程によって絶縁膜20を介してスルードープを行い、高濃度不純物領域17、18、41、42、47、48を形成する。（図3（D））なお、高濃度不純物領域41、42、47、48は、ゲート電極およびサイドウォール28をマスクとして自己整合的に形成される。従って、低濃度不純物領域25、26a、26bの幅はサイドウォール28と同じ幅（ $0.17\mu\text{m} \sim 0.2\mu\text{m}$ ）となる。

#### 【0062】

この後、レジストマスク35を除去し、水素を含む絶縁膜22を成膜した後、半導体層に添加された不純物元素の活性化および水素化を行う。加えて、結晶化を助長する金属元素、代表的にはニッケルを用いて半導体膜を結晶化させている場合、活性化と同時にチャネル形成領域におけるニッケルの低減を行うゲッタリングをも行うことができる。

#### 【0063】

なお、pチャネル型TFET31となる半導体層の端部にリンを添加してリンを含むゲッタリングサイトを別途形成してもよい。その場合、レジストマスク35のみを変更して端部にリンが添加されるようにすればよい。端部のみにリンを添加するため、pチャネル型TFETとしての特性はほとんど変化しない。

#### 【0064】

次いで、層間絶縁膜23を形成した後、第6のマスクを用いてコンタクトホールを形成し、導電膜を形成した後、第7のマスクを用いてエッチングを行い、電極15、16、21、45、46、51、52、53を形成する。（図3（E））層間絶縁膜23としては、酸化珪素、酸化窒化珪素、酸化アルミニウム、酸化炭化シリコン（SiOC）、またはシロキサンポリマーを主成分とする絶縁膜、代表的にはMSQ（メチルシルセシロキサン）などを用いることができる。

#### 【0065】

こうして、同一絶縁表面に図3（E）に示す4種類の異なる構造のTFET31～34を形成することができる。これらのTFETを適宜組み合わせることによって様々な回路を形成することができる。

#### 【0066】

nチャネル型TFET33においては、チャネル形成領域（オフセット領域含む）43の一方の側に接してサイドウォールと重なる低濃度不純物領域（LDD領域）25を有している。

#### 【0067】

また、nチャネル型TFET34においては、チャネル形成領域49の両側に接してゲート電極50と重なる低濃度不純物領域（LDD領域）26a、26bを有している。

#### 【0068】

また、pチャネル型TFET31においては、低濃度不純物領域を有していない。

#### 【0069】

また、nチャネル型TFET32においては、サイドウォールと重なる低濃度不純物領域（LDD領域）と、サイドウォールと重ならない低濃度不純物領域（LDD領域）とをチャネル形成領域19の両側に有している。

#### 【0070】

また、得られたnチャネル型TFET32とpチャネル型TFET31とを相補的に組み合わせ

10

20

30

40

50

せてCMOS回路を作製することができる。また、得られたnチャネル型TF T 3 3とnチャネル型TF Tとを組み合わせることでNMOS回路を作製することができる。NMOS回路やCMOS回路を作製する場合、予めチャネル形成領域となる半導体領域に対してリンまたはボロンを微量にドーピングしてデプレッション型TF Tとエンハンスメント型TF Tとを作り分けることが望ましい。例えば、nチャネル型のデプレッション型TF Tではリンを微量にドーピングし、pチャネル型のデプレッション型TF Tではボロンを微量にドーピングすればよい。

#### 【0071】

また、ここではトップゲート型TF Tを例に説明を行ったが、本発明は、他のTF T構造（例えば図6に示すアモルファスシリコンTF T）にも適用することができる。

10

#### 【0072】

また、本実施の形態は、実施の形態1と自由に組み合わせることができる。

#### 【0073】

以上の構成でなる本発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

#### 【0074】

（実施例）

#### 【実施例1】

ここでは、絶縁表面を有する基板（代表的にはガラス基板、プラスチック基板）上に上記実施の形態2で得られるTF Tおよび回路を用い、CPUやメモリーを形成する例を図4

20

#### 【0075】

1001は中央処理部（CPUとも呼ばれる）、1002は制御部、1003は演算部、1004は記憶部（メモリーとも呼ばれる）、1005は入力部、1006は出力部（表示部など）である。

#### 【0076】

演算部1003と制御部1002とを合わせたものが、中央処理部1001であり、演算部1003は、加算、減算の算術演算やAND、OR、NOTなどの論理演算を行う算術論理演算部（arithmetic logic unit, ALU）、演算のデータや結果を一時格納する種々のレジスタ、入力される1の個数を数え上げるカウンタなどから成り立っている。演算部1003を構成する回路、例えば、AND回路、OR回路、NOT回路、バッファ回路、またはレジスタ回路などはTF Tで構成することができ、高い電界効果移動度を得るため、連続発振型のレーザー光を用いて結晶化を行った半導体膜をTF Tの活性層として作製すればよい。アモルファスシリコン膜に連続発振型のレーザー光を照射してポリシリコン膜を得る方法を用いてもよいし、アモルファスシリコン膜を加熱してポリシリコン膜を得た後に連続発振型のレーザー光を照射してポリシリコン膜を得る方法を用いてもよいし、アモルファスシリコン膜に触媒となる金属元素を添加した後、加熱してポリシリコン膜を得た後に連続発振型のレーザー光を照射してポリシリコン膜を得る方法を用いてもよい。本実施例において、演算部1003を構成するTF Tのチャンネル長方向とレーザービームの走査方向とを揃える。また、ドーピングの際、演算部1003

30

40

#### 【0077】

また、制御部1002は記憶部1004に格納された命令を実行して、全体の動作を制御する役割を担っている。制御部1002はプログラムカウンタ、命令レジスタ、制御信号生成部からなる。また、制御部1002もTF Tで構成することができ、連続発振型のレーザー光を用いて結晶化を行った半導体膜をTF Tの活性層として作製すればよい。本実施例において、制御部1002を構成するTF Tのチャンネル長方向とレーザービームの走査方向とを揃える。また、ドーピングの際、制御部1002を構成するTF Tのチャンネル長方向と基板の傾け方向とを合わせる。

#### 【0078】

50

また、記憶部 1004 は、計算を行うためのデータと命令を格納する場所であり、CPU で頻繁に実行されるデータやプログラムが格納されている。記憶部 1004 は、主メモリ、アドレスレジスタ、データレジスタからなる。さらに主メモリに加えてキャッシュメモリを用いてもよい。これらのメモリは、SRAM、DRAM、フラッシュメモリなどで形成すればよい。また、記憶部 1004 も TFT で構成する場合には、連続発振型のレーザー光を用いて結晶化を行った半導体膜を TFT の活性層として作製することができる。本実施例において、記憶部 1004 を構成する TFT のチャンネル長方向とレーザービームの走査方向とを揃えることが好ましい。

#### 【0079】

また、入力部 1005 は外部からデータやプログラムを取り込む装置である。また、出力部 1006 は結果を表示するための装置、代表的には表示装置である。

#### 【0080】

TFT のチャンネル長方向とレーザービームの走査方向を揃えることによってバラツキの少ない CPU を絶縁基板上に作り込むことができる。また、同一基板上に CPU と表示部とを作り込むことができる。表示部においても各画素に配置される複数の TFT のチャンネル長方向とレーザービームの走査方向を揃えることが好ましい。

#### 【0081】

また、本実施例においては、実施の形態 1 に従って、ゲート絶縁膜の表面に対してマイクロ波によるプラズマを用いて窒化処理を行い、ゲート絶縁膜の膜厚を 10 nm ~ 50 nm とすることによって高速動作する回路 (CPU など) を作製している。

20

#### 【0082】

また、回路設計や作製工程が複雑になるが、同一基板上に CPU と表示部とメモリとを作り込むこともできる。

#### 【0083】

こうして、絶縁基板上に高速動作可能であり、且つ、電気特性バラツキの少ない半導体装置を完成することができる。

#### 【0084】

また、本実施例は、実施の形態 1 または実施の形態 2 と自由に組み合わせることができる。

#### 【0085】

30

#### 〔実施例 2〕

本実施例では、絶縁表面を有する基板上に、画素部、画素を駆動する駆動回路、及び画像処理回路とを少なくとも形成した半導体装置の構成例と、消費電力を削減する動作方法について説明する。

#### 【0086】

図 5 に示すのはガラス基板上に形成された表示部を有するシステムの一例であって、ガラス基板上には、画素部 801、ソース線駆動回路 802、ゲート線駆動回路 603、機能の異なる 3 つの画像処理回路 804 ~ 806、メモリ 807、インターフェース回路 808、電源供給タイミング制御回路 809 が設けられている。本半導体装置は、液晶表示装置であっても、EL 材料を用いた発光表示装置であっても構わない。

40

#### 【0087】

図 5 に示したブロック図において、画素部 801 は画像を表示する部分であり、ソース線駆動回路 802、及びゲート線駆動回路 803 は、画素を駆動する駆動回路である。画像データはソース線駆動回路 802 に入力される。また、インターフェース回路 808 は外部から画像データ、あるいは画像の基となるデータを入力し、適切な内部信号に変換した後、ソース線駆動回路 802、画像処理回路 804 ~ 806、もしくはメモリ 807 に出力する。

#### 【0088】

本半導体装置の機能として、3 つの画像処理回路 804 ~ 806 とメモリ 807 を用いた様々な画像処理を行う半導体装置を考えることができる。例えば、これらの画像処理回路 50

の1つもしくは複数をを用いることによって、画像の歪み補正、リサイズ、モザイク処理、スクロール、反転といった画像変換や、マルチウィンドウ処理、メモリ807を用いた画像生成、及びこれらの複合処理等を考えることができる。

#### 【0089】

これに対応して、様々な動作モードが考えられ、本構成の半導体装置においては、画像処理回路804～806が有するレジスタ及びラッチ回路に、不揮発性を有するラッチ回路を適用することが有効である。つまり、不揮発性を有するラッチ回路によって、画像処理回路804～806の論理状態が復元可能である構成が有効である。こうすることにより、画像処理回路804～806の動作状態を保持したまま電源を遮断することが可能となり、使用しない画像処理回路の電源を遮断することが可能となる。その結果、消費電力の削減が可能となる。 10

#### 【0090】

また、待機時においても、システムの状態を保持したまま、電源供給を止めることができるため、待機時と動作時の高速な移行と、待機時の消費電力の削減を同時に実現することが可能となる。

#### 【0091】

動作モードの切り替え制御は、電源供給タイミング制御回路809によって行う。具体的には、動作モードに対応して、モードの切り替え前後に、使用しない画像処理回路に対して格納手続と復元手続を行えばよい。

#### 【0092】

なお、本実施例では、画像処理回路804～806全体を復元可能な場合を説明したが、必ずしもこれに限定されない。画像処理回路804～806を構成する一部の回路（例えば回路Cとする）の論理状態を復元可能とする構成であっても構わない。その場合、回路Cを使用する時のみに回路Cに電源を供給することが可能となり、消費電力の削減が可能となる。 20

#### 【0093】

なお、不揮発性を有するラッチ回路を、インターフェース回路、あるいはソース線駆動回路、ゲート線駆動回路に対して適用することも可能である。その結果、それぞれの論理回路が動作しない時には、その論理回路の電源を遮断することで消費電力を削減することが可能となる。 30

#### 【0094】

本実施例における様々な回路（画素部801、ソース線駆動回路802、ゲート線駆動回路603、機能の異なる3つの画像処理回路804～806、メモリ807、インターフェース回路808、電源供給タイミング制御回路809）は、実施の形態2に従って得られる高速動作可能なTFTで作製することができる。

#### 【0095】

なお、本実施例は、実施の形態1、実施の形態2、または実施例1のいずれの構成とも自由に組み合わせることが可能である。

#### 【0096】

##### 〔実施例3〕

本実施例では、実施の形態2とは異なる構造のTFTを説明する。 40

#### 【0097】

絶縁表面を有する基板401上に下地絶縁膜402を形成する。基板401としては、ガラス基板や石英基板やシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものをを用いても良い。また、処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

#### 【0098】

また、下地絶縁膜402としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜を形成する。ここでは下地膜として2層構造を用いた例を示すが、前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。なお、 50

特に下地絶縁膜を形成しなくてもよい。

#### 【 0 0 9 9 】

次いで、下地絶縁膜上にソース電極またはドレイン電極となる電極 4 0 3、4 0 4 を形成する。この電極 4 0 3、4 0 4 の形成方法としては、スパッタ法や真空蒸着法を用いて金属膜を成膜した後、フォトリソグラフィ技術を用いてパターンニングを行って形成してもよいが、マスクを用いることなく、金属材料を含むインクをインクジェット法によって選択的に吐出した後、乾燥させて電極を形成することも可能である。金属膜の材料としては、後に形成される半導体膜とオーミックコンタクトのとれる金属材料であれば特に限定されず、Al、Cr、Ta、Ti から選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜等が挙げられる。

10

#### 【 0 1 0 0 】

次いで、電極 4 0 3、4 0 4 上に 5 0 ~ 2 0 0 n m (好ましくは 1 0 0 ~ 1 5 0 n m) の厚さで非晶質半導体膜 (代表的には水素化アモルファスシリコン膜 (a-Si:H)) を、プラズマ CVD 法やスパッタ法などの公知の方法で全面に形成する (図示せず)。その他、この非晶質半導体膜には、微結晶半導体膜、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用することも可能である。

#### 【 0 1 0 1 】

次いで、ゲート絶縁膜 4 0 6 を全面に成膜した後、窒化プラズマ処理を行って、表面に窒素を含ませる。ゲート絶縁膜 4 0 6 において、表面から離れるに従って窒素濃度が減少しており、下層 4 0 6 a よりも上層 4 0 6 b に窒素を多く含んでいる。また、絶縁膜 4 0 6 は P C V D 法またはスパッタ法を用い、膜厚を 1 n m ~ 5 0 n m とする。例えば、絶縁膜 4 0 6 として酸化シリコン膜を用い、2 0 n m の厚さで形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、酸化窒化シリコン膜、窒化シリコン膜、酸化 tantalum 膜などの他の絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。窒化プラズマ処理は、図 1 に示すプラズマ処理装置を用い、実施の形態 1 に従って行えばよい。この窒化プラズマ処理を行うことによってゲート絶縁膜の薄膜化を図っている。

20

#### 【 0 1 0 2 】

次いで、ゲート電極 4 0 7 をマスクとして自己整合的にドーピングを行う。ここでは、半導体に n 型を付与する不純物元素 (代表的にはリン、または As) を高濃度にドーピングして n<sup>+</sup> a-Si:H 膜を形成すれば良い。イオンドープ法の条件はドーズ量を  $1 \times 10^{13} \sim 5 \times 10^{15} / \text{cm}^2$  とし、加速電圧を 6 0 ~ 1 0 0 k e V として行う。このドーピング工程によってゲート絶縁膜 4 0 6 を介してスルードープを行い、高濃度不純物領域 4 0 8、4 0 9 を形成する。ドーピングされなかった半導体領域 4 1 0 はチャンネル形成領域となる。(図 6 (B))

30

#### 【 0 1 0 3 】

次いで、レジストからなるマスク 4 1 1 をインクジェット法で形成する。(図 6 (C)) 粘度が 5 ~ 5 0 m P a · s に調節されたレジスト溶液をインクジェット装置によって所定の位置に吐出させ、焼成させることによって形成する。ここでは工程数を少なくするためにインクジェット法でレジストマスクを形成する例を示したが、フォトリソ技術を用いて露光、現像を行ってもよい。

40

#### 【 0 1 0 4 】

次いで、レジスト 4 1 1 をマスクとして、ゲート絶縁膜 4 0 6、半導体膜 4 0 8、4 0 9 を順次エッチングして電極 4 0 3、4 0 4 の一部を露呈させる。その後レジスト 4 1 1 を除去する。(図 6 (D)) 以上の工程でアモルファスシリコン膜を活性層とする T F T 4 1 2 が完成する。

#### 【 0 1 0 5 】

次いで、T F T 4 1 2 を覆う保護膜 4 1 3 を形成する。例えば、珪素からなる円盤状のターゲットを用い、成膜室雰囲気や窒素雰囲気または窒素とアルゴンを含む雰囲気とすることによって窒化珪素膜からなる保護膜 4 1 3 を形成することができる。また、炭素を主成

50



分とする薄膜（DLC膜、CN膜、アモルファスカーボン膜）を保護膜413として形成してもよく、別途、CVD法を用いた成膜室を設けてもよい。ダイヤモンドライクカーボン膜（DLC膜とも呼ばれる）は、プラズマCVD法（代表的には、RFプラズマCVD法、マイクロ波CVD法、電子サイクロトロン共鳴（ECR）CVD法、熱フィラメントCVD法など）、燃焼法、スパッタ法、イオンビーム蒸着法、レーザー蒸着法などで形成することができる。成膜に用いる反応ガスは、水素ガスと、炭化水素系のガス（例えば $\text{CH}_4$ 、 $\text{C}_2\text{H}_2$ 、 $\text{C}_3\text{H}_4$ など）とを用い、グロー放電によりイオン化し、負の自己バイアスがかかったカソードにイオンを加速衝突させて成膜する。また、CN膜は反応ガスとして $\text{C}_2\text{H}_4$ ガスと $\text{N}_2$ ガスとを用いて形成すればよい。なお、DLC膜やCN膜は、可視光に対して透明もしくは半透明な絶縁膜である。可視光に対して透明とは可視光の透過率が80～100%であることを指し、可視光に対して半透明とは可視光の透過率が50～80%であることを指す。なお、この保護膜413は、必要がなければ特に設けなくともよい。

10

#### 【0106】

次いで、レジストマスクを形成し、選択的にエッチングを行って電極404の一部を露呈させ、レジストを除去する。そして、電極404の露呈させた部分と接触するように透明導電膜414をインクジェット法によって形成する。透明導電膜414としては、酸化インジウム（ $\text{In}_2\text{O}_3$ ）や酸化インジウム酸化スズ合金（ $\text{In}_2\text{O}_3-\text{SnO}_2$ 、ITOと略記する）などを用いればよい。例えば、5～50 $\text{mPa}\cdot\text{s}$ の粘度を有するSUFP粉ベースのアルコール系分散液にバインダーを添加したものをインクジェット法によって吐出させればよい。

20

#### 【0107】

なお、ここでは工程数を少なくするためにインクジェット法で透明導電膜414を形成する例を示したが、スパッタ法による成膜の後、フォトリソ技術を用いて露光、現像を行ってもよい。

#### 【0108】

このTF T 412をスイッチング素子とする液晶表示装置を作製する場合には、透明導電膜414を画素電極とすればよい。また、このTF T 412をスイッチング素子とする発光装置（有機化合物を含む層を発光層とする発光素子を有する発光装置）を作製する場合には、透明導電膜414を発光素子の陽極または陰極とすればよい。

30

#### 【0109】

また、本実施例は、実施の形態1と自由に組み合わせることができる。

#### 【0110】

##### 〔実施例4〕

本発明を実施して得たTF Tを組み込むことによって様々な電子機器を作製することができる。電子機器としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDigital Versatile Disc（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それらの電子機器の具体例を図7に示す。

40

#### 【0111】

図7（A）はテレビであり、筐体2001、支持台2002、表示部2003、スピーカ一部2004、ビデオ入力端子2005等を含む。本発明は表示部2003に適用することができる。なお、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用のテレビが含まれる。

#### 【0112】

図7（B）はデジタルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。本発明は、

50

表示部 2102 に適用することができる。

【0113】

図 7 (C) はノート型パーソナルコンピュータであり、本体 2201、筐体 2202、表示部 2203、キーボード 2204、外部接続ポート 2205、ポインティングマウス 2206 等を含む。本発明は、表示部 2203 に適用することができる。

【0114】

図 7 (D) はモバイルコンピュータであり、本体 2301、表示部 2302、スイッチ 2303、操作キー 2304、赤外線ポート 2305 等を含む。本発明は、表示部 2302 に適用することができる。

【0115】

図 7 (E) は記録媒体を備えた携帯型の画像再生装置（具体的には DVD 再生装置）であり、本体 2401、筐体 2402、表示部 A 2403、表示部 B 2404、記録媒体（DVD 等）読み込み部 2405、操作キー 2406、スピーカー部 2407 等を含む。表示部 A 2403 は主として画像情報を表示し、表示部 B 2404 は主として文字情報を表示するが、本発明は表示部 A、B 2403、2404 に適用することができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0116】

図 7 (F) はゲーム機器であり、本体 2501、表示部 2505、操作スイッチ 2504 等を含む。

【0117】

図 7 (G) はビデオカメラであり、本体 2601、表示部 2602、筐体 2603、外部接続ポート 2604、リモコン受信部 2605、受像部 2606、バッテリー 2607、音声入力部 2608、操作キー 2609 等を含む。本発明は、表示部 2602 に適用することができる。

【0118】

図 7 (H) は携帯電話であり、本体 2701、筐体 2702、表示部 2703、音声入力部 2704、音声出力部 2705、操作キー 2706、外部接続ポート 2707、アンテナ 2708 等を含む。本発明は、表示部 2703 に適用することができる。なお、表示部 2703 は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。

【0119】

以上の様に、本発明を実施して得た表示装置は、あらゆる電子機器の表示部として用いても良い。なお、本実施の形態の電子機器には、実施の形態 1、実施の形態 2、実施例 1、実施例 2、または実施例 3 のいずれの構成を用いて作製された半導体装置を用いても良い。

【0120】

【発明の効果】

本発明は、 $1\mu\text{m}$  以下のサブミクロン長に高い精度で TFT を作製し、且つ、TFT のゲート絶縁膜を薄膜化を実現することによって、TFT を含む回路をさらに高速駆動させることができる。

【図面の簡単な説明】

【図 1】本発明のプラズマ処理装置を示す構造図である。（実施の形態 1）

【図 2】本発明のプラズマ処理装置を示す概観図である。（実施の形態 1）

【図 3】TFT の作製工程を示す図である。（実施の形態 2）

【図 4】CPU のブロック図を示す図である。（実施例 1）

【図 5】表示部を有するシステムブロック図を示す図である。（実施例 2）

【図 6】TFT の作製工程を示す図である。（実施例 3）

【図 7】電子機器の一例を示す図。（実施例 4）

【図 8】プラズマ窒化処理ありの SIMS（二次イオン質量分析法）データを示す図である。

10

20

30

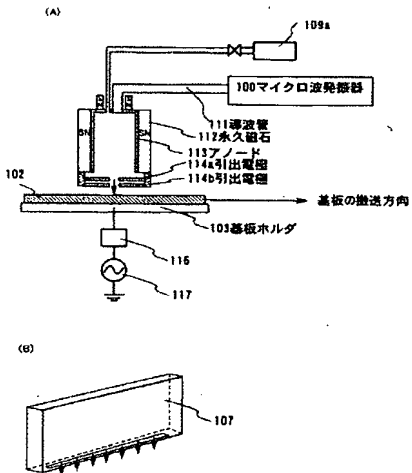
40

50

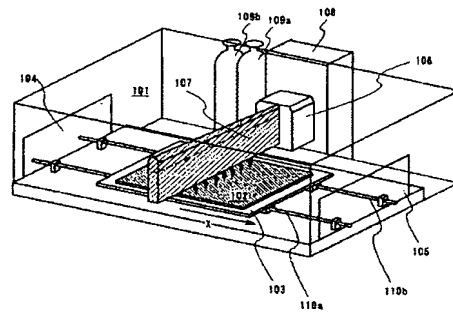
【図 9】プラズマ窒化処理なしの SIMS（二次イオン質量分析法）データを示す図である。

【図 10】プラズマ窒化処理装置の断面図を示す図である。

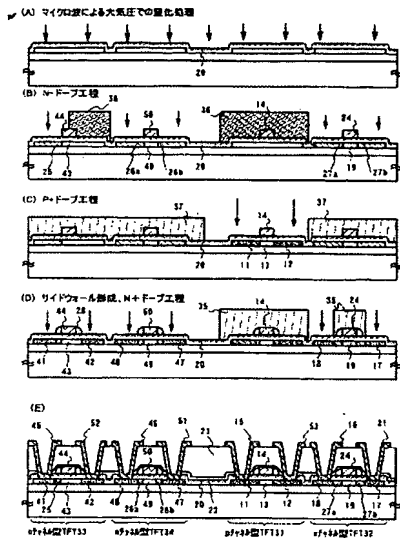
【図 1】



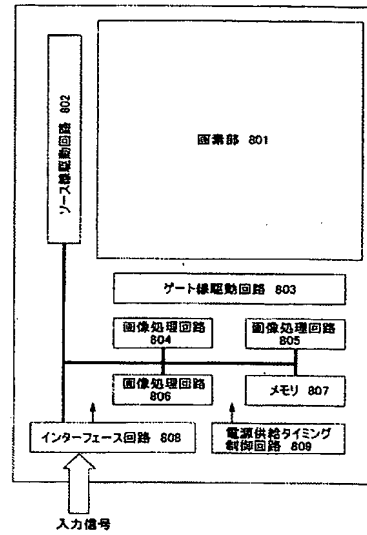
【図 2】



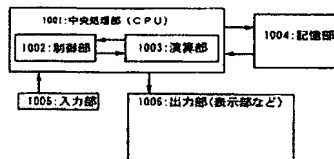
【 図 3 】



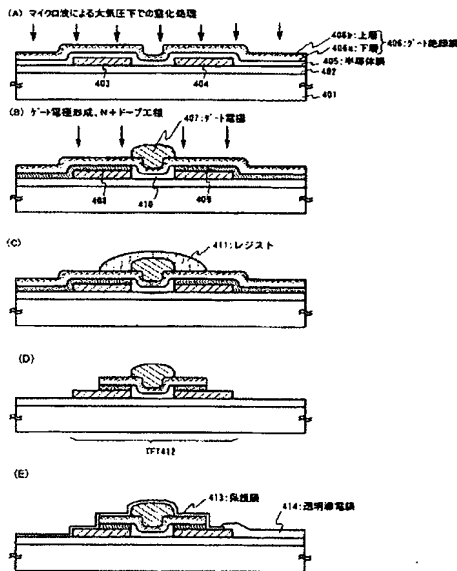
【 図 5 】



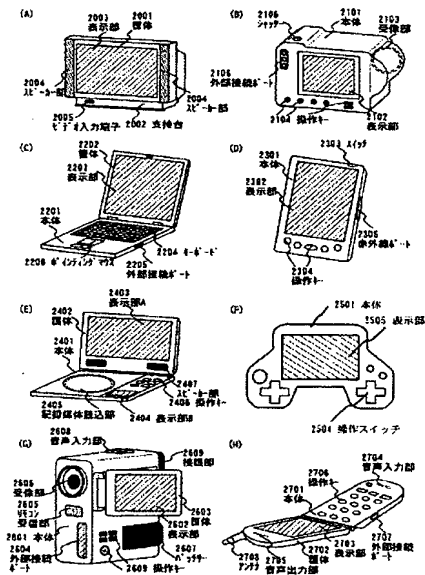
【 図 4 】



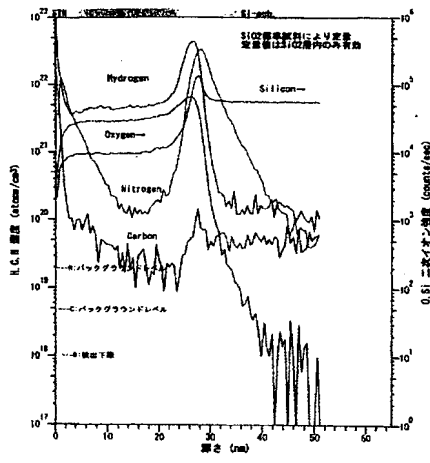
【 図 6 】



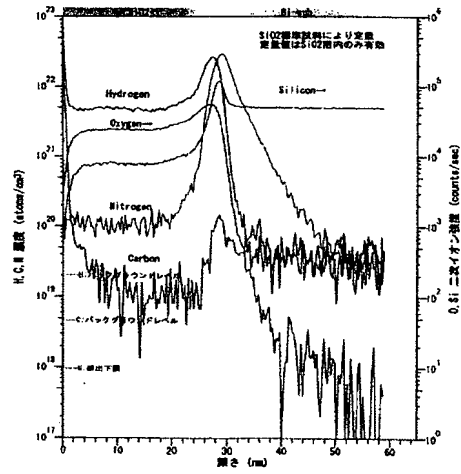
【 図 7 】



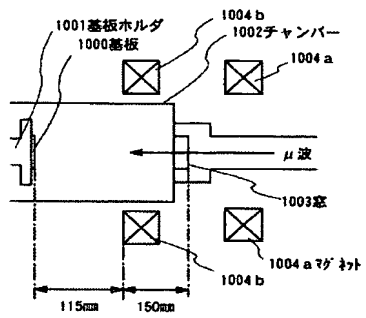
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

(51)Int.Cl.<sup>7</sup>

F I

テーマコード (参考)

H 0 1 L 29/786

H 0 5 B 33/14 A

H 0 5 B 33/10

H 0 1 L 29/78 6 1 7 V

H 0 5 B 33/14

H 0 1 L 29/78 6 1 7 T

H 0 1 L 29/78 6 2 7 G

(72)発明者 田中 哲弘

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

F ターム (参考) 2H092 GA59 JA25 JA33 JA35 JA38 JB42 JB57 JB58 KA04 KA05  
 KA06 KA10 KA11 KB24 KB25 MA04 MA05 MA07 MA08 MA15  
 MA17 MA27 MA29 MA30 MA35 NA21 PA01 PA06 RA05  
 3K007 BA06 DB03 FA00 GA00  
 5F045 AA20 AB34 AC15 AE29 AF08 CA15 DP03 DQ10 EC01 EF01  
 5F058 BA06 BC11 BF74 BJ04  
 5F110 AA01 BB02 BB03 BB04 BB05 CC02 CC05 DD01 DD02 DD03  
 DD05 DD13 DD14 DD15 DD17 EE02 EE03 EE04 EE09 EE32  
 EE44 FF02 FF04 FF06 FF28 FF30 FF36 GG01 GG02 GG13  
 GG15 GG25 GG28 GG32 GG43 GG45 GG47 HJ01 HJ04 HJ12  
 HJ23 HK03 HK04 HK32 HK33 HM14 HM15 NN02 NN22 NN23  
 NN24 NN27 NN33 NN34 NN35 NN72 NN78 PP03 PP04 PP06  
 PP24 PP34 QQ11 QQ23 QQ28